

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-267613

(43)Date of publication of application : 24.09.1992

(51)Int.Cl.

H03G 3/02

H03G 3/20

H04B 3/06

(21)Application number : 03-028310

(71)Applicant : NEC CORP

(22)Date of filing : 22.02.1991

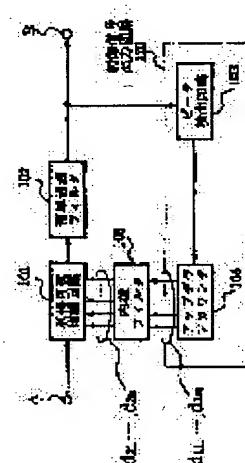
(72)Inventor : INAMI DAIJIRO

(54) AGC CIRCUIT

(57)Abstract:

PURPOSE: To prevent the increase in an error rate even just after gain changeover by extremely decreasing the transient response due to a change in the gain of a gain variable amplifier circuit.

CONSTITUTION: The AGC circuit is provided with a gain variable amplifier circuit 101 whose gain characteristic is selected by a digital control signal and a filter circuit 102 receiving an output of the gain variable amplifier circuit 101. Moreover, the AGC circuit is provided with a control signal output circuit 120 detecting the amplitude of the output signal of the filter circuit 102 and outputting a digital control signal to set the gain of the gain variable amplifier circuit 101 and a gain setting circuit 105 to set the gain of the gain variable amplifier circuit 101 with the digital control signal resulting from interpolating the digital control signal from the control signal output circuit 120, and the input of the gain variable amplifier circuit 101 connects to the input terminal and the output of the filter circuit 102 is connected to an output terminal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application]

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 03 G 3/02	A	7239-5 J		
3/20	A	7239-5 J		
H 04 B 3/06	B	8226-5K		

審査請求 未請求 請求項の数1(全4頁)

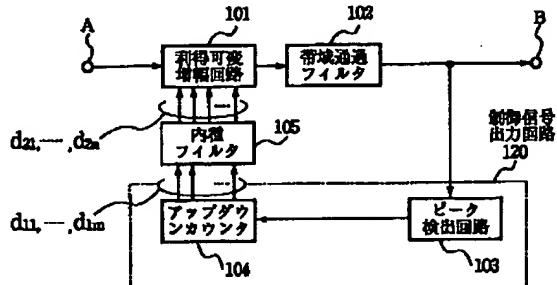
(21)出願番号	特願平3-28310	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成3年(1991)2月22日	(72)発明者	井波 大二郎 東京都港区芝五丁目7番1号日本電気株式会社内
		(74)代理人	弁理士 内原 晋

(54)【発明の名称】 AGC回路

(57)【要約】

【構成】このAGC回路は利得特性をデジタル制御信号により切換える可能な利得可変増幅回路101と、利得可変増幅回路101の出力を入力とするフィルタ回路102とを備える。また、フィルタ回路102の出力信号の振幅を検出しつつ利得可変増幅回路101の利得を設定するためのデジタル制御信号を出力する制御信号出力回路120と、制御信号出力回路120からのデジタル制御信号を内挿したデジタル制御信号により利得可変増幅回路101の利得を設定する利得設定回路105とを備え、利得可変増幅回路101の入力を入力端子に接続し、フィルタ回路102の出力を出力端子に接続している。

【効果】利得可変増幅回路の利得の変化に起因する過渡応答を極めて小さくすることができる。この結果、利得の切換え直後においても誤り率の増加を防止できる。



1

2

【特許請求の範囲】

【請求項1】 利得特性をデジタル制御信号により切換える可能な利得可変増幅回路と、前記利得可変増幅回路の出力を入力とするフィルタ回路と、前記フィルタ回路の出力信号の振幅を検出しつつ前記利得可変増幅回路の利得を設定するためのデジタル制御信号を出力する制御信号出力回路と、前記制御信号出力回路からのデジタル制御信号を内挿したデジタル制御信号により前記利得可変増幅回路の利得を設定する利得設定回路とを備え、前記利得可変増幅回路の入力を入力端子に接続し、前記フィルタ回路の出力を出力端子に接続したことを特徴とするAGC回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデジタル伝送システムの自動線路等化器等に使用されるAGC回路に関する。

【0002】

【従来の技術】 通常、加入者線を介してデジタル伝送を行う場合、伝送路の損失特性により信号が減衰する。このため、信号受信部において元のデジタル符号を再生する場合、線路損失に応じて利得制御を行なうAGC機能が必要となる。

【0003】 図2はデジタル伝送装置の受信部に用いられるAGC回路の従来例の構成を示す。このAGC回路において、受信信号は入力端子Aから入力され、利得可変増幅回路101で線路による損失に応じて増幅された後、帯域通過フィルタ102により高周波雑音等の不要信号成分が除去され、出力端子Bより出力される。出力信号は復調器等に入力され、最終的にデジタル符号を得る。利得可変増幅回路101の利得は、出力信号の振幅をピーク検出回路103でモニタし、基準値より出力振幅が小さければアップ信号をかつ基準値より出力振幅が大きければダウン信号をそれぞれアップダウンカウンタ104に入力する。従って、アップダウンカウンタ104より出力されるデジタル制御信号により利得可変増幅回路101の利得を制御することにより、常に一定の出力振幅に保たれる。

【0004】 利得可変増幅回路101は図3に示すように構成される。ここで、容量素子C0, C1, C2, C3と演算増幅器110とにより反転増幅回路が構成されている。MOSトランジスタによるスイッチ素子S1, S2, S3へのデジタル制御信号a1, a2, a3の入力により、入出力間の伝達特性（利得）をステップ的に変えることができる。

【0005】

【発明が解決しようとする課題】 上述した従来のAGC回路においては、利得可変増幅回路の利得がステップ的に急激に変化する。従って、後段に接続されたフィルタにより、利得の変化に伴なう過渡応答が生じる。この結果、利得の切換え直後において誤り率が増加するという

問題がある。

【0006】 特に、図5に示すように、過渡応答により振幅が大きく変化すると、ピーク検出回路が過渡応答波形により誤動作する可能性があり、この場合には正常なAGC動作を行えない。

【0007】

【課題を解決するための手段】 本発明のAGC回路は、利得特性をデジタル制御信号により切換える可能な利得可変増幅回路と、前記利得可変増幅回路の出力を入力とするフィルタ回路と、前記フィルタ回路の出力信号の振幅を検出しつつ前記利得可変増幅回路の利得を設定するためのデジタル制御信号を出力する制御信号出力回路と、前記制御信号出力回路からのデジタル制御信号を内挿したデジタル制御信号により前記利得可変増幅回路の利得を設定する利得設定回路とを備え、前記利得可変増幅回路の入力を入力端子に接続し、前記フィルタ回路の出力を出力端子に接続した構成である。

【0008】

【実施例】 次に本発明について図面を参照して説明する。

【0009】 本発明の一実施例を示す図1を参照すると、このAGC回路において、受信信号は入力端子Aから利得可変増幅回路101に入力され、帯域通過フィルタ102により高周波雑音等の不要信号成分が除去された後、出力端子Bより出力される。出力信号は復調器等に入力され、最終的にデジタル符号が再生される。帯域通過フィルタ102の出力信号を検出し利得可変増幅回路101の利得を設定するためのデジタル制御信号d₁₁, ..., d_{1n}を出力するための制御信号出力回路120と、デジタル制御信号d₂₁, ..., d_{2n}を内挿したデジタル制御信号d₃₁, ..., d_{3n}を出力する内挿フィルタ105とを備え、デジタル制御信号d₃₁, ..., d_{3n}により利得可変増幅回路101の利得を設定している。この実施例においては利得可変増幅回路101の利得を設定するためのデジタル制御信号d₁₁, ..., d_{1n}を出力する回路120は、ピーク検出回路103の出力をアップダウンカウンタ104に入力し、アップダウンカウンタ104の係数値を出力する構成となっている。ピーク検出回路103及びアップダウンカウンタ104の動作においては従来例と同様である。

【0010】 内挿フィルタ105にはmビットのデジタル制御信号d₁₁, d₁₂, ..., d_{1n}が入力され、nビットのデジタル制御信号d₂₁, d₂₂, ..., d_{2n}が出力される。ここで、n>mであり、内挿フィルタ105によりより分解能の高い制御信号が生成される。利得が時刻t=t₀においてG₁からG₂に1ステップ切り換ったと想定する。また、設定のためにm=4, n=7とする。例えば、G₁ (1010)² · Δ及びG₂ = (1011)² · Δと表わされる（Δ：1ステップに相当する利得、()²：2進コードを表わす）。時刻に対する

利得の変化を図4に示す。内挿フィルタ105の出力では時間の変化及び利得の変化に伴ない高分解能な制御信号が得られる。すなわち、 $G_1 = (1010000) \cdots (\Delta/8)$ から $G_2 = (1011000) \cdots (\Delta/8)$ に利得が細かく変化する。

【0011】利得可変増幅回路101ではnビットのデジタル制御信号 $d_{21}, d_{22}, \dots, d_1$ に応じた利得が設定される。この回路構成は図3に示した従来例と基本的に同一である。ただし、利得の設定が細かく行えるように容量素子及びスイッチ素子が用意されている。前述した $m=4, n=7$ の場合であれば、利得の最小可変幅は従来例に比較して $1/8$ に設定される。

【0012】図6はこの実施例のAGC回路の出力信号波形を示す。利得の切換えが細かくなり、かつ利得変化がゆるやかになるようにデジタル制御されている。特に、図4に示すように、内挿フィルタ105の出力における利得変化量が限定されているため、過激な利得切換えによるスパイク的な雑音を除去することが可能となっている。

【0013】

【発明の効果】以上説明したように本発明によれば、デジタル制御信号に内挿を施して利得の変化を細かく

し、利得の変化が急激にならないように制御することにより、利得可変増幅回路の利得の変化に起因する過渡応答を極めて小さくすることができる。この結果、利得の切換え直後においても誤り率の増加しないAGC回路が実現可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す構成図である。

【図2】従来のAGC回路の一例を示す構成図である。

【図3】利得可変増幅回路の構成例を示す。

【図4】内挿フィルタの入力及び出力における利得の変化を表わす図である。

【図5】従来のAGC回路の利得切換え時の出力波形を示す。

【図6】本発明の一実施例のAGC回路の利得切換え時の出力波形を示す。

【符号の説明】

101 利得可変増幅回路

102 帯域通過フィルタ

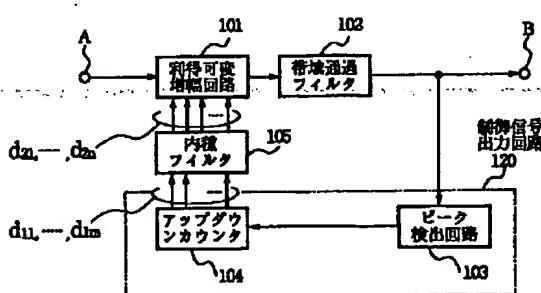
103 ピーク検出回路

20 104 アップダウンカウンタ

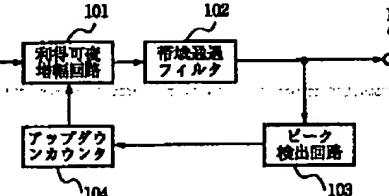
105 内挿フィルタ

120 制御信号出力回路

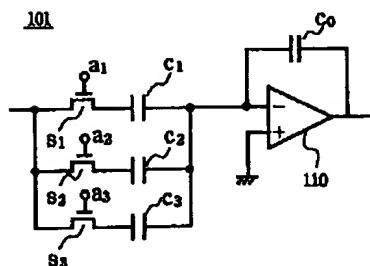
【図1】



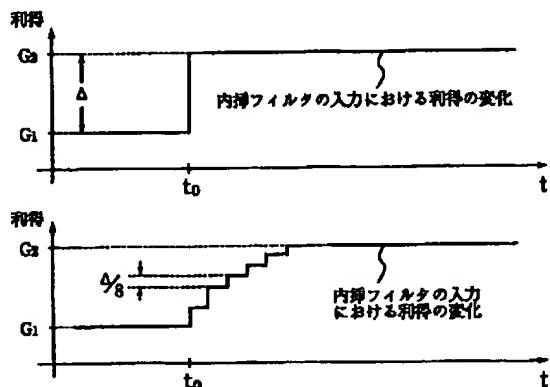
【図2】



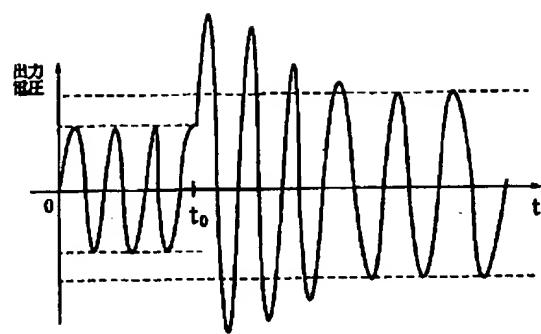
【図3】



【図4】



【図5】



【図6】

